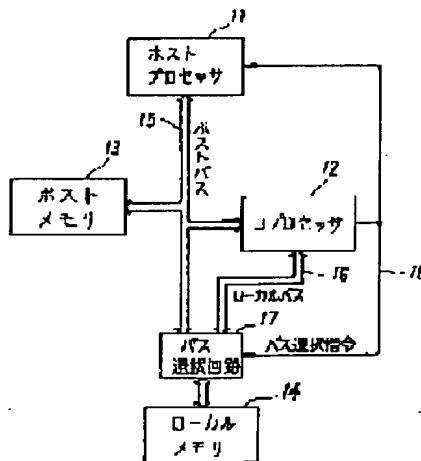


1/1 JAPIO - (C) JPO- image
PN - JP 07175759 A 19950714 [JP07175759]
TI - MULTIPROCESSOR SYSTEM
IN - YOSHIDA MINORU; TOMITA SHIGEHIRO; AKAHORI MASAYUKI; FUJIWARA TOKURO
PA - NIPPON STEEL CORP; KAPUKON:KK
AP - JP34340993 19931216 [1993JP-0343409]
IC1 - G06F-015/16
IC2 - G06F-015/16 G06F-013/16
AB - PURPOSE: To provide a multiprocessor system with high processing speed which is composed of a host processor and a co-processor, etc., operated in accordance with the command of the host processor.
- CONSTITUTION: This multiprocessor system is provided with a first memory (a host memory 13, etc.) to be accessed by only a first processor (a host processor 11, etc.), a second memory (a local memory 14, etc.) to be accessed by the both of the first processor 11 and a second processor (a co-processor 12, etc.), a first bus (a host bus 15, etc.) to be connected with the first and second processors 11 and 12 and the first memory 13, a second bus (a local bus 16, etc.) to be connected with the second processor 12 and a bus selection circuit 17 selectively connecting either one of the first and second buses 15 and 16 with the second memory 14.
- COPYRIGHT: (C)1995, JPO

Click on image to view Tiff



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-175759

(43)公開日 平成7年(1995)7月14日

(51)Int.Cl.⁶
G 0 6 F 15/16

識別記号
3 7 0 Z
13/16

府内整理番号
5 1 0 C 9366-5B

F I

G 0 6 F 15/ 16 4 0 0 M

技術表示箇所

審査請求 未請求 請求項の数 5 FD (全 6 頁)

(21)出願番号 特願平5-343409

(22)出願日 平成5年(1993)12月16日

(71)出願人 000006655
新日本製鐵株式会社
東京都千代田区大手町2丁目6番3号

(71)出願人 000129149
株式会社カブコン
大阪市中央区内平野町3丁目1番3号

(72)発明者 吉田 穣
東京都千代田区大手町2丁目6番3号 新
日本製鐵株式会社内

(72)発明者 富田 穣太
東京都千代田区大手町2丁目6番3号 新
日本製鐵株式会社内

(74)代理人 弁理士 櫻井 俊彦

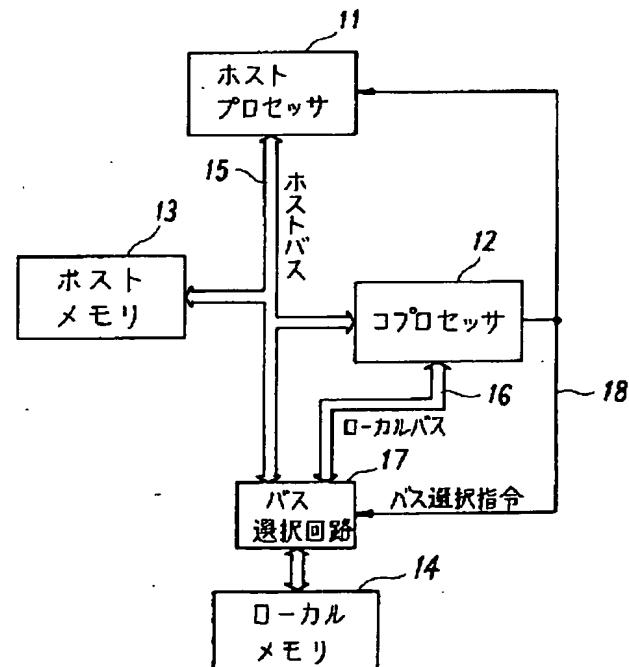
最終頁に続く

(54)【発明の名称】 マルチプロセッサ・システム

(57)【要約】

【目的】 ホストプロセッサと、このホストプロセッサの指令に従って動作するコプロセッサなどから成る処理速度の大きなマルチプロセッサ・システムを提供する。

【構成】 第1のプロセッサ(ホストプロセッサ11など)のみによってアクセスされる第1のメモリ(ホストメモリ13など)と、上記第1のプロセッサ(11)及び第2のプロセッサ(コプロセッサ12など)の双方によってアクセスされる第2のメモリ(ローカルメモリ14など)と、上記第1、第2のプロセッサ(11, 12)と第1のメモリ(13)とに接続される第1のバス(ホストバス15など)と、第2のプロセッサ(12)に接続される第2のバス(ローカルバス16など)と、第1、第2のバスの双方(15, 16)の一方を第2のメモリ(14)に選択的に接続するバス選択回路(17)とを備える。



【特許請求の範囲】

【請求項1】第1のプロセッサと、この第1のプロセッサの指令に従って動作する第2のプロセッサとを備えたマルチプロセッサ・システムにおいて、前記第1のプロセッサのみによってアクセスされる第1のメモリと、前記第1、第2のプロセッサの双方によってアクセスされる第2のメモリと、前記第1、第2のプロセッサと、前記第1のメモリとに接続される第1のバスと、前記第2のプロセッサに接続される第2のバスと、前記第1、第2のバスの一方を、前記第2のメモリに選択的に接続するバス選択回路とを備えたことを特徴とするマルチプロセッサ・システム。

【請求項2】請求項1において、前記第2のプロセッサは、前記バス選択回路に前記接続の選択を指令する手段を備えたことを特徴とするマルチプロセッサ・システム。

【請求項3】請求項1又は2において、前記第1のプロセッサは、前記第2のプロセッサによる前記第2のメモリへのアクセスを中断させる手段を備えたことを特徴とするマルチプロセッサ・システム。

【請求項4】請求項1乃至3において、前記第2のプロセッサは、キッシュメモリと、前記第2のメモリへのアクセスをこのキッシュメモリとの間のDMA転送によって行う手段を備えたことを特徴とするマルチプロセッサ・システム。

【請求項5】請求項1乃至4において、前記第1のプロセッサは、プログラム及びデータ又はその一方を前記第1のメモリと第2のメモリとの間でDMA転送させる手段を備えたことを特徴とするマルチプロセッサ・システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ゲーム機などに利用されるマルチプロセッサ・システムに関するものである。

【0002】

【従来の技術】ゲーム機などのコンピュータシステムでは、遊戯者が入力したコマンドなどに従って表示画面の変更処理などを実行するホストプロセッサと、このホストプロセッサの指令に従い表示データの作成など特定の処理に専念するコプロセッサとから成るマルチプロセッサ・システムの形態が採用されることが多い。このような主従関係を有する機能分散型のマルチプロセッサ・システムは、図2に示すように、ホストプロセッサ2-1と、コプロセッサ2-2と、これらのプロセッサ2-1、2-2によってアクセスされる共有メモリ2-3とがシステムバス2-4を介して相互に接続された構成となっている。共有メモリ2-3は、ホストプロセッサ2-1とコプロセッサ2-2が実行するプログラムや処理対象のデータを保持

したり、ホストプロセッサ2-1とコプロセッサ2-2との間の転送データを中継したりするのに使用される。すなわち、コプロセッサ2-2が処理したデータは一旦共有メモリ2-3に書込まれ、この書き込みデータがホストプロセッサ2-1によって読み出される。

【0003】図2に示すようなマルチプロセッサ・システムでは、ホストプロセッサ2-1とコプロセッサ2-2による共有メモリ2-3へのアクセスの競合を解決する必要がある。この競合解決方法の典型的な一例として、ホストプロセッサ2-1にメモリアクセスに関する優先権を付与するものがある。すなわち、ホストプロセッサ2-1による共有メモリ2-3のアクセス中はコプロセッサ2-2による共有メモリ2-3へのアクセスが禁止される。更に、コプロセッサ2-2による共有メモリ2-3へのアクセス中にホストプロセッサ2-1によるメモリ2-3へのアクセスが必要になると、ホストプロセッサ2-1の制御によってコプロセッサ2-2がホールト状態やウエイト状態に移行せしめられ、コプロセッサ2-2による共有メモリ2-3へのアクセスが中断され、ホストプロセッサ2-1による共有メモリ2-3のアクセスが開始される。

【0004】

【発明が解決しようとする課題】上記従来のマルチプロセッサ・システムでは、ホストプロセッサによる共有メモリのアクセス期間中はコプロセッサによる共有メモリのアクセスが禁止されるため、コプロセッサのメモリアクセス時の待ち時間が増大する。この結果、コプロセッサの処理終了に対するホストプロセッサ側の待ち時間も増大し、マルチプロセッサ・システム全体の処理速度が低下するという問題がある。従って、本発明の目的は、システム全体の処理速度を向上できるマルチプロセッサ・システムを提供することにある。

【0005】

【課題を解決するための手段】上記従来技術の問題点を解決する本発明のマルチプロセッサ・システムは、ホストプロセッサなどの第1のプロセッサと、この第1のプロセッサの指令に従って動作するコプロセッサなどの第2のプロセッサとを備えている。さらに、このマルチプロセッサ・システムは、第1のプロセッサのみによってアクセスされるホストメモリなどの第1のメモリと、第1、第2のプロセッサの双方によってアクセスされるローカルメモリなどの第2のメモリを備えている。さらに、このマルチプロセッサ・システムは、第1、第2のプロセッサと第1のメモリとに接続されるホストバスなどの第1のバスと、第2のプロセッサに接続されるローカルバスなどの第2のバスと、これら第1、第2のバスの一方を、第2のメモリに選択的に接続するバス選択回路とを備えている。

【0006】

【作用】本発明のマルチプロセッサ・システムによれば、従来のシステムにおける共有メモリがホストメモリ

(第1のメモリ)とローカルメモリ(第2のメモリ)とに分離される。ホストメモリは、ホストプロセッサ(第1のプロセッサ)のみによってホストバスを介してアクセスされると共に、ローカルメモリはホストプロセッサとコプロセッサ(第2のプロセッサ)の双方によって選択的にアクセスされる。コプロセッサによるローカルメモリへのアクセスはローカルバスとバス選択回路とを介して実行される。また、コプロセッサが処理したデータの受取りなどに必要なホストメモリによるローカルメモリへのアクセスは、ホストバスとバス選択回路とを介して行われる。すなわち、両プロセッサによるアクセス対象のメモリが原則的には分離されると共に、プロセッサ間のデータの授受に必要な両プロセッサによるローカルメモリへのアクセスがバス選択回路によって時分割的に実行可能とされる。この結果、ホストプロセッサによるホストメモリへのアクセスと並行してコプロセッサによるローカルメモリへのアクセスが可能となり、コプロセッサによるメモリアクセス待ち時間が短縮され、システム全体の処理速度が向上する。以下、本発明を実施例と共に更に詳細に説明する。

【0007】

【実施例】図1は、本発明の一実施例のマルチプロセッサ・システムの構成を示すブロック図であり、11はホストプロセッサ、12はコプロセッサ、13はホストメモリ、14はローカルメモリ、15はホストバス、16はローカルバス、17はバス選択回路、18はバス選択指令信号線である。

【0008】ホストプロセッサ13には、ホストプロセッサ11によって実行される処理プログラムや、ホストプロセッサ11によって処理されるデータやその処理済みデータなどが格納される。ローカルメモリ14には、コプロセッサ12によって実行される処理プログラムや、コプロセッサ12によって処理されるデータやその処理済みデータなどが格納される。ホストプロセッサ11は、ホストメモリ13に格納されている処理プログラムや処理対象データをホストバス15を介してDMA転送によって内蔵のキッシュメモリなどに読み込み、データの処理を実行し、その処理済みデータをホストバス15を介してDMA転送によってホストメモリ13に書き込む。

【0009】コプロセッサ12は、ホストバス15を介してホストプロセッサ11から受けた指令に従い、ローカルメモリ14へのアクセスを含むデータ処理を実行する。コプロセッサ12は、ローカルメモリ14に格納中の処理データやこれに必要な処理プログラムをローカルバス16とバス選択回路17とを介して内蔵のキッシュメモリにDMA転送によって読み込み、この読み込んだ処理プログラムに従ってデータの処理を実行し、この処理済みデータを一旦内蔵のキッシュメモリに格納する。コプロセッサ12は、内蔵のキッシュメモリに格納中の一連

の処理済みデータをローカルバス16とバス選択回路17とを介してDMA転送によってローカルメモリ14に書き込む。

【0010】コプロセッサ12は、上記ローカルメモリ14へのDMA転送によるアクセスに先立って、バス選択指令信号線18上の選択指令をローからハイに立上げる。このバス選択指令のローからハイへの立上がりを検出したバス選択回路17は、ローカルメモリ14をホストバス15から切離してローカルバス16に接続する。コプロセッサ12は、ローカルメモリ14へのDMA転送によるアクセスが終了すると、バス選択指令信号線18上の選択指令をハイからローに立下げる。このバス選択指令のローへの立下りを検出したバス選択回路17は、ローカルメモリ14をローカルバス16から切離してホストバス15に接続する。

【0011】このように、コプロセッサ12にキッシュメモリを内蔵させると共に、ローカルメモリ14からのプログラムや処理対処データの読み出しや、ローカルメモリ14への処理済みデータの書き込みなどをDMA転送によって行わせることにより、メモリアクセス期間の離散化と、メモリアクセス時間の短縮などが可能になる。また、ホストプログラム11は、コプロセッサ12によるローカルメモリ14へのアクセスタイミングに加えてアクセス所要時間を精度良く評価できるため、自プロセッサによる処理と並行してコプロセッサ12に一括処理させるデータ量の最適化が容易になり、システム全体の処理能力が大幅に向上する。

【0012】コプロセッサ12からバス選択回路17に供給されるバス選択指令は、信号線18を介してホストプロセッサ11にも通知される。ホストプロセッサは、バス選択指令信号線18のハイ/ローの状態を検査することにより、コプロセッサ12がローカルメモリ14をアクセス中であるか否かを検出する。ホストプロセッサ11は、ローカルメモリ14からコプロセッサ12が書き込んだ処理済みデータなどを読み出す際に、バス選択指令信号線18上のバス選択指令を検査する。ホストプロセッサ11は、バス選択指令がロー状態にあることからコプロセッサ12がローカルメモリ14をアクセス中でないと判定すると、ローカルメモリ14からバス選択回路17とホストバス15を介してDMA転送によって処理済みデータなどを読み出し、内蔵のキッシュメモリに格納する。

【0013】上述のように、バス選択指令がコプロセッサ12から発せられる構成であるため、外見的には、ローカルメモリ14に対するアクセスの主導権がコプロセッサ12に付与されたかのように見える。しかしながら、ローカルメモリ14に対するコプロセッサ12のアクセスは、そもそもホストプロセッサ11の指令に従って実行される処理に付帯して(例えば、そのような処理の最初の部分と最後の部分に)行われるものであるか

ら、メモリアクセスに関する実質的な主導権は、依然としてホストメモリ13側にある。このように、処理の主導権をホストプロセッサ11に付与すると共に、この処理に付帯するローカルメモリ14へのアクセスに関する主導権をコプロセッサ12に付与するという分散方式を採用することにより、両者をホストプロセッサ11に集中して付与する従来の方式に比べて、ホストプロセッサ11の主導権を実質的に損なうことなくコプロセッサ12の動作上の制約を緩和でき、システム全体の処理能力を向上できる。

【0014】なお、ローカルメモリ14へのアクセスに関する主導権をコプロセッサ12に付与したことに伴い、遊戯者のキー入力などに即して表示画面の変更などを行うホストプロセッサ11の処理に支障を来すおそれがある。そこで、コプロセッサ12によるローカルメモリ14へのアクセスの続行中にホストプロセッサ11にローカルメモリ14へのアクセスの必要が生じた時は、コプロセッサ12に割り込みをかけることによりその動作を中断させる機能が必要に応じて付加される。この割り込みを受け付けたコプロセッサ12は、ローカルメモリ14へのアクセスを停止し、バス選択指令をローに立下げることによってホストバス15をローカルメモリ14に接続したのち、動作を停止する。ホストプロセッサ11は、ローカルメモリ14へのアクセスが終了すると、コプロセッサ12に割り込みをかけることによりコプロセッサの動作を再開させる。動作を再開したコプロセッサ12は、中断されたローカルメモリ14との間のDMA転送を中断時点からあるいは最初から再実行する。

【0015】なお、ホストプロセッサ11は、ホストメモリ13に格納中のデータやこのデータの処理のためのプログラムのうちコプロセッサ12に必要なものを、その制御に基づき、ホストメモリ13からローカルメモリ14にDMA転送させる機能を必要に応じて備える。これとは逆に、ホストプロセッサ11は、ローカルメモリ14に格納中のコプロセッサ12による処理済みデータなどを、その制御に基づき、ローカルメモリ14からホ

ストメモリ13にDMA転送させる機能も必要に応じて備える。

【0016】以上、コプロセッサ12がキッシュメモリを内蔵すると共に、コプロセッサとローカルメモリ14との間のデータ転送をDMA転送によって行う構成を例示した。しかしながら、そのようなキッシュメモリをコプロセッサ12に内蔵させずに、コプロセッサ12が処理対象のデータなどを逐一ローカルメモリ14から読み出し、処理済みのデータなどを逐一ローカルメモリ14に書き込む構成とすることもできる。

【0017】

【発明の効果】以上詳細に説明したように、本発明のマルチプロセッサ・システムによれば、両プロセッサによるアクセス対象のメモリを原則的には分離し、プロセッサ間のデータの授受などに必要な両プロセッサによるローカルメモリへのアクセスをバス選択回路によって時分割的に実行可能としているので、ホストプロセッサによるホストメモリへのアクセスと並行してコプロセッサによるローカルメモリへのアクセスが可能となり、コプロセッサのメモリアクセス待ち時間が短縮される。この結果、コプロセッサの処理の終了に対するホストプロセッサ側の待ち時間も短縮され、システム全体の処理速度が向上する。

【図面の簡単な説明】

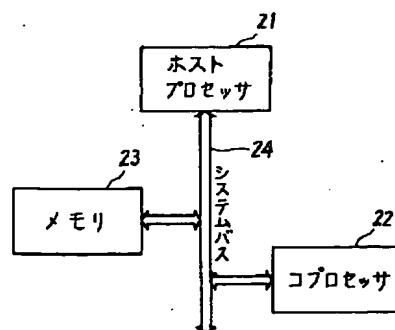
【図1】本発明の一実施例のマルチプロセッサ・システムの構成を示すブロック図である。

【図2】従来のマルチプロセッサ・システムの構成を示すブロック図である。

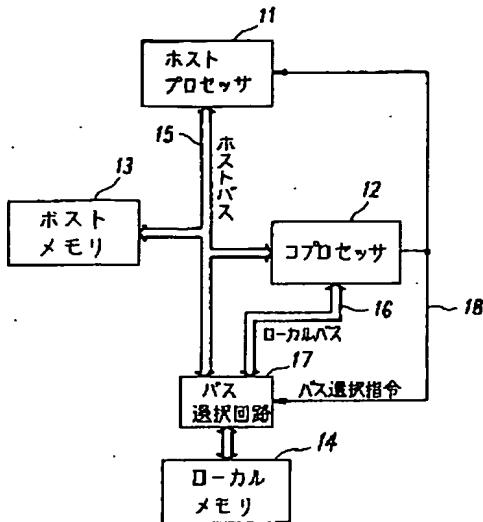
【符号の説明】

11	ホストプロセッサ(第1のプロセッサ)
12	コプロセッサ(第2のプロセッサ)
13	ホストメモリ(第1のメモリ)
14	ローカルメモリ(第2のメモリ)
15	ホストバス(第1のバス)
16	ローカルバス(第2のバス)
17	バス選択回路
18	バス選択指令信号線

【図2】



【図1】



【手続補正書】

【提出日】平成5年12月27日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項4

【補正方法】変更

【補正内容】

【請求項4】 請求項1乃至3において、前記第2のプロセッサは、キエシッシュメモリと、前記第2のメモリへのアクセスをこのキエシッシュメモリとの間のDMA転送によって行う手段を備えたことを特徴とするマルチプロセッサ・システム。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】ホストメモリ13には、ホストプロセッサ11によって実行される処理プログラムや、ホストプロセッサ11によって処理されるデータやその処理済みデータなどが格納される。ローカルメモリ14には、コプロセッサ12によって実行される処理プログラムや、コプロセッサ12によって処理されるデータやその処理済みデータなどが格納される。ホストプロセッサ11は、ホストメモリ13に格納されている処理プログラムや処理対象データをホストバス15を介してDMA転送によって内蔵のキエシッシュメモリなどに読み込み、データの処理を実行し、その処理済みデータをホストバス15を介してDMA転送によってホストメモリ13に書込む。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】コプロセッサ12は、ホストバス15を介してホストプロセッサ11から受けた指令に従い、ローカルメモリ14へのアクセスを含むデータ処理を実行する。コプロセッサ12は、ローカルメモリ14に格納中の処理データやこれに必要な処理プログラムをローカルバス16とバス選択回路17とを介して内蔵のキエシッシュメモリにDMA転送によって読み込み、この読み込んだ処理プログラムに従ってデータの処理を実行し、この処理済みデータを一旦内蔵のキエシッシュメモリに格納する。コプロセッサ12は、内蔵のキエシッシュメモリに格納中の一連の処理済みデータをローカルバス16とバス選択回路17とを介してDMA転送によってローカルメモリ14に書込む。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】このように、コプロセッサ12にキエシッシュメモリを内蔵させると共に、ローカルメモリ14からのプログラムや処理対象データの読み出しや、ローカルメモリ14への処理済みデータの書き込みなどをDMA転送によって行わせることにより、メモリアクセス期間の離

散化と、メモリアクセス時間の短縮とが可能になる。また、ホストプログラム11は、コプロセッサ12によるローカルメモリ14へのアクセスタイミングに加えてアクセス所要時間を精度良く評価できるため、自プロセッサによる処理と並行してコプロセッサ12に一括処理させるデータ量の最適化が容易になり、システム全体の処理能力が大幅に向かう。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】コプロセッサ12からバス選択回路17に供給されるバス選択指令は、信号線18を介してホストプロセッサ11にも通知される。ホストプロセッサは、バス選択指令信号線18のハイ／ローの状態を検査することにより、コプロセッサ12がローカルメモリ14をアクセス中であるか否かを検出する。ホストプロセッサ11は、ローカルメモリ14からコプロセッサ12が書込んだ処理済みデータなどを読み出す際に、バス選択指令

信号線18上のバス選択指令を検査する。ホストプロセッサ11は、バス選択指令がロー状態にあることからコプロセッサ12がローカルメモリ14をアクセス中でないと判定すると、ローメモリ14からバス選択回路17とホストバス15を介してDMA転送によって処理済みデータなどを読み出し、内蔵のキッシュメモリに格納する。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】以上、コプロセッサ12がキッシュメモリを内蔵すると共に、コプロセッサとローカルメモリ14との間のデータ転送をDMA転送によって行う構成を例示した。しかしながら、そのようなキッシュメモリをコプロセッサ12に内蔵させずに、コプロセッサ12が処理対象のデータなどを逐一ローカルメモリ14から読み出し、処理済みのデータなどを逐一ローカルメモリ14に書込む構成とすることもできる。

フロントページの続き

(72)発明者 赤堀 雅行

大阪市中央区大手通1丁目4番12号 株式
会社カプコン内

(72)発明者 藤原 得郎

大阪市中央区大手通1丁目4番12号 株式
会社カプコン内

マイコン関係英語翻訳リスト

マイクロプロセッサ	MICROPROCESSOR
映像入出力端子	VIDEO INPUT-OUTPUT CIRCUIT
映像処理回路	VIDEO PROCESSING CIRCUIT
メモリアクセス制御	MEMORY ACCESS CONTROL
ローカルメモリ	LOCAL MEMORY
映像入力処理回路	VIDEO INPUT PROCESSING CIRCUIT
映像出力処理回路	VIDEO OUTPUT PROCESSING CIRCUIT
制御回路	CONTROL CIRCUIT
制御レジスタ	CONTROL REGISTER
映像入力バッファ	VIDEO INPUT BUFFER
映像出力バッファ	VIDEO OUTPUT BUFFER
制御器	CONTROLLER
優先接続制御	PRIORITY CONTROL CIRCUIT
符号化複号回路	CODEC (Encoder/Decoder) CIRCUIT
離散コサイン変換	DISCRETE COSINE TRANSFORM
逆離散コサイン変換	INVERSE DISCRETE COSINE TRANSFORM
動き検出	MOTION ESTIMATION
動き補償	MOTION COMPENSATION
メモリ優先権指定レジスタ	PRIORITY CONTROL REGISTER FOR MEMORY
プロセッサアドレスデコーダ	PROCESSOR ADDRESS DECODER
メモリアクセス権制御回路	ACCESS OWNERSHIP CONTROL CIRCUIT